

(10)

Cite No. 4.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-205149

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H03M 1/76
G09C 3/36

(21)Application number : 10-004796

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.01.1998

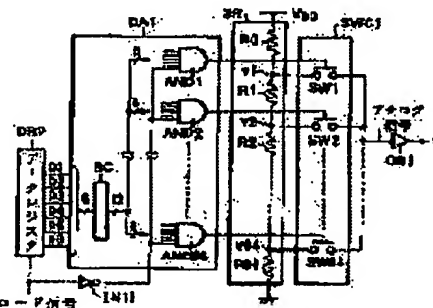
(72)Inventor : TAGUCHI TAKASHI

(54) DIGITAL/ANALOG CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DAC capable of preventing the situation of simultaneously selecting plural voltages, accurately selecting the voltage-and reducing power consumption.

SOLUTION: Synchronized with loading signals, voltage selection signals D1-D6 are outputted from a data register DR2 and supplied to a decoder circuit DA1. However, inverted loading signals inverted by an inverter IN11 are supplied to the AND circuits AND1-AND64 of the decoder circuit DA1 and output is not performed from any AND circuits AND1-AND64 while the loading signals are at a high level. Thus, the switching control signals of the high level are prevented from being simultaneously supplied from the plural AND circuits AND1-AND64 to switching elements SW1-SW64. When the loading signals are returned to a low level, one of the AND circuits AND1-AND64 is turned ON, the corresponding one switching element SW is turned ON and the voltage (v) applied to one terminal of the switching element SW is selected and outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-205149

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁵

識別記号

F I

H 0 3 M 1/76

H 0 3 M 1/76

G 0 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平10-4796

(22) 出願日 平成10年(1998) 1月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 田 口 隆

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

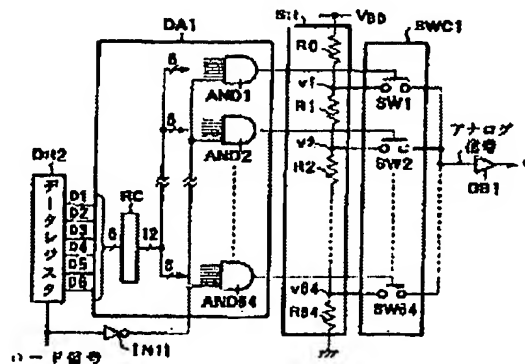
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 デジタル・アナログ変換器

(57) 【要約】

【課題】 デコーダ回路に入力される遅延時間が原因となって、同時に二つ以上の電圧が選択されて両者が複合された電圧の出力が行われ、正確に電圧を選択することができないという問題があった。

【解決手段】 ロード信号に同期して、データレジスタDR2から電圧選択信号D1～D6が出力され、デコーダ回路DA1に与えられる。しかし、インバータIN1により反転された反転ロード信号がデコーダ回路DA1のAND回路AND1～AND64に与えられ、ロード信号がハイレベルの間、いずれのAND回路AND1～AND64からも出力されない。よって、複数のAND回路AND1～AND64からハイレベルのスイッチング制御信号がスイッチング素子SW1～SW64に同時に与えられることが防止される。ロード信号がロウレベルに戻ると、いずれか一つのAND回路AND1～AND64がオンし、対応する一つのスイッチング素子SWがオンし、このスイッチング素子SWの一端に印加された電圧vが選択されて出力される。



(2)

特開平11-205149

【特許請求の範囲】

【請求項1】電圧選択信号を入力されて、対応する電圧を選択して出力するデジタル・アナログ変換器において、

電圧選択信号を与えられて保持し、ロード信号を入力されると保持した前記電圧選択信号を出力するデータレジスタと、

一端にそれぞれ異なる電圧を印加され、他端が共通の出力端子に接続され、スイッチング制御信号を与えられてオン・オフを制御される複数のスイッチング素子と、前記データレジスタから出力された前記電圧選択信号を与えられ、デコード処理を行って前記スイッチング制御信号を出力し、前記スイッチング素子のいずれか一つをオンさせて、このスイッチング素子の一端に印加された電圧を前記出力端子から出力させるデコード回路と、

を備え、

前記デコード回路は、前記ロード信号を入力されて所定期間が経過した後、前記スイッチング制御信号を出力することにより、前記スイッチング素子が同時に二つ以上オンする期間が存在しないようにしたことを特徴とするデジタル・アナログ変換器。

【請求項2】前記デコード回路は、前記スイッチング素子と同数の論理回路を備え、

この論理回路は、前記電圧選択信号のうちの所定数の電圧選択信号と前記ロード信号とを入力され、対応する前記スイッチング素子に前記スイッチング制御信号を出力してオン・オフ制御を行うものであり、

前記ロード信号を入力されてから所定期間が経過するまでの間は、いずれの前記論理回路からも前記スイッチング制御信号が出力されないことを特徴とする請求項1記載のデジタル・アナログ変換器。

【請求項3】第1の電圧を印加された第1の電源端子と、第2の電圧を印加された第2の電源端子との間に、直列に接続された複数の抵抗をさらに備え、

前記スイッチング素子のそれぞれの前記一端は、前記第1の電圧と前記第2の電圧との電圧差が前記抵抗によりそれぞれ分割された異なる電圧を印加されることを特徴とする請求項1又は2記載のデジタル・アナログ変換器。

【請求項4】電圧選択信号を入力されて、対応する電圧を選択して出力するデジタル・アナログ変換器において、

電圧選択信号を与えられて保持し、ロード信号を入力されると保持した前記電圧選択信号を出力するデータレジスタと、

複数の電圧と前記電圧選択信号とを入力されて、いずれか一つの電圧を選択して出力するデコード及びスイッチング回路と、

を備え、

前記デコード及びスイッチング回路は、前記電圧のいづ

れかを印加される一端と、共通の出力端子に接続された他端との間に複数のスイッチング素子が直列に接続されたスイッチ部を前記電圧の数と同数有し、

前記スイッチ部は、それぞれ前記電圧選択信号のうちの所定数の電圧制御信号と前記ロード信号とを与えられてオン・オフを制御されるものであり、前記ロード信号を入力されて所定期間が経過した後、前記スイッチ部のいずれか一つに含まれる前記スイッチング素子が全てオンして前記一端に印加された電圧が前記出力端子より出力されることにより、少なくとも二つの前記スイッチング部に含まれる前記スイッチング素子の全てが同時にオンする期間が存在しないようにしたことを特徴とするデジタル・アナログ変換器。

【請求項5】第1の電圧を印加された第1の電源端子と、第2の電圧を印加された第2の電源端子との間に、直列に接続された複数の抵抗をさらに備え、

前記スイッチ部のそれぞれの前記一端は、前記第1の電圧と前記第2の電圧との電圧差が前記抵抗によりそれぞれ分割された異なる電圧を印加されることを特徴とする請求項4記載のデジタル・アナログ変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデジタル・アナログ変換器（以下、DACという）に関し、特に液晶ディスプレイパネルにおいて液晶駆動電圧を選択して出力する部分に好適なものに関する。

【0002】

【従来の技術】DACは、デジタル信号の形態を有する複数ビットの選択信号を入力され、アナログ信号としての形態を有する階調電圧を選択して出力するのに幅広く用いられている。例えば、CD（Compact Disc）再生装置において、CDに記録されたデジタル信号に基づいて、対応する電圧を選択して出力する部分にDACが用いられている。

【0003】液晶ディスプレイパネルでは、液晶を駆動するためのソースドライバにDACが用いられており、図5に液晶駆動モジュールの構成を示す。液晶画面16は、例えば薄膜トランジスタ（Thin Film Transistor、以下、TFTという）型では、TFTのゲートのオン・オフ制御をゲートドライバ14が行い、TFTのソースに供給する電圧レベルの制御をソースドライバ15が行う。

【0004】ゲートドライバ14は、画面を同期させる画面同期コントロール回路12から水平同期信号及び垂直同期信号とクロックとを入力されて、液晶画面を走査するように順にTFTのゲートをオンさせていく、ソースドライバ15は、画像出力の階調電圧を決定するためのデジタル信号を入力される映像信号処理回路11からR、G、B信号と、画面同期コントロール回路12が出力したクロックと、階調電圧発生回路13が発生した

(3)

特開平11-205149

アナログ信号としての階調電圧 $V_1 \sim V_9$ とを入力され、後述するような例えば64階調電圧 $v_1 \sim v_{64}$ のいずれかを選択してTFTのソースに出力する。

【0005】図6に、ソースドライバ15の構成を示す。データレジスタDR1に、映像信号処理回路11から出力された各6ビットのデジタル信号としてのR、G、B信号と、画面同期コントロール回路12から出力されたクロックとが入力され、R、G、B信号が保持される。そして、データレジスタDR1からクロックに同期して6ビットずつのデジタル信号としての電圧選択信号が出力される。データレジスタDR2に、データレジスタDR1から出力された電圧選択信号が保持され、ロード信号に同期してそれぞれDAC1～309に出力される。

【0006】64分割抵抗器SRは、階調電圧 V_1 を入力される端子から階調電圧 V_9 を入力される端子の間に直列に接続されたシリーズ抵抗を有し、9段階の階調電圧 $V_1 \sim V_9$ を入力されて64段階の階調電圧 $v_1 \sim v_{64}$ に分割する。DAC1～309はこの電圧 $v_1 \sim v_{64}$ のうち、与えられたデジタル信号としての電圧選択信号により選択すべきいずれかの電圧 v をアナログ信号として出力する。出力されたこの電圧は、それぞれDAC1～DAC309毎に設けられた出力バッファOB1～OB309により増幅された後、液晶画面16上に配置されたTFTのソースに印加されて、液晶画素の容量に電荷が蓄積される。

【0007】図7に、従来のDAC1、データレジスタDR2、64分割抵抗器SR、出力バッファOB1のより詳細な構成を示す。ここで、DAC1は、デコード回路1とスイッチング回路SW1とを含んでいる。上述したように、データレジスタDR2から6ビットの電圧選択信号 $D_1 \sim D_6$ がロード信号に同期して出力され、デコード回路1に与えられる。

【0008】デコード回路1は、反転回路RCとAND回路AND1a～AND回路AND64aとを有している。反転回路RCは、電圧選択信号 $D_1 \sim D_6$ をそれぞれ反転した信号 $\overline{D_1} \sim \overline{D_6}$ を生成し、合計で12本の電圧選択信号 $D_1 \sim D_6$ と反転電圧選択信号 $\overline{D_1} \sim \overline{D_6}$ とを出力する。そして、信号 $D_1 \sim D_6$ 及び $\overline{D_1} \sim \overline{D_6}$ のうち、6本ずつが各AND回路AND1a～AND64aに入力される。64分割抵抗器SRは、上述したように電源電圧 V_{DD} と接地端子 V_{SS} との間に抵抗 $R_0 \sim R_{64}$ が直列に接続されている。ここで、電源電圧 V_{DD} が上記階調電圧 V_1 であるとする、接地電圧 V_{SS} が上記階調電圧 V_9 に相当し、それぞれの間に連続的な電圧 $V_2 \sim V_8$ が印加される。そして、抵抗 R_0 と R_1 、 R_1 と R_2 、…、 R_{63} と R_{64} との間から抵抗分割された階調電圧 $v_1 \sim v_{64}$ が出力され、スイッチSW1～SW64の一端に印加される。スイッチSW1～SW64の他端は出力バッファOB1の入力端子に共

通接続されている。

【0009】このような構成を備えた従来のDACは、以下のように動作する。データレジスタDR2に電圧選択信号 $D_1 \sim D_6$ が保持され、ロード信号を入力されるとこのタイミングに同期してデコード回路1に出力される。デコード回路1において、電圧選択信号 $D_1 \sim D_6$ から反転信号 $\overline{D_1} \sim \overline{D_6}$ が生成され、信号 $D_1 \sim D_6$ 、 $\overline{D_1} \sim \overline{D_6}$ のうち6本ずつの信号がAND回路AND1a～AND64aに入力される。そして、1つのAND回路からスイッチング制御信号が出力されて対応するスイッチSWがオンし、このスイッチSWを介していずれかの電圧 v がアナログ信号として出力され、出力バッファOB1により増幅された後、出力される。

【0010】

【発明が解決しようとする課題】しかし、従来のDACには次のような問題があった。図5に示されたように、ソースドライバ15は液晶画面16の一側面に配置されるので、一方に長い基板の上に搭載される傾向がある。そして、図6のように各々のDAC1～DAC309は図中縦方向に細長く形成される。

【0011】従って、図7においてデータレジスタDR2及び反転回路RCの出力端子からAND回路AND1a～AND64aの入力端子に接続される信号線の長さは、各々のAND回路AND1a～AND64aにより大きく相違する。このため、信号線の長さの相違が原因となって信号 $D_1 \sim D_6$ 、 $\overline{D_1} \sim \overline{D_6}$ がAND回路AND1a～AND64aにそれぞれ届くまでの遅延時間が異なってくる。

【0012】よって、図8に示されたように、時点T1においてロード信号がハイレベルに変化し、例えばスイッチSW1がオンする時に、この1つ前のサイクルで選択されたSW64が時点T2までの間、同時にオンしていることが起こり得る。即ち、デコード回路1において複数のAND回路が同時に選択されて、複数のスイッチSWが同時にオンしている期間が存在することになる。このような現象が発生すると、図8に示されたように、時点T1からT2の間、電圧 v_1 と v_{64} との中間電位が出力される。この結果、選択された本来の電圧 v_1 とは異なる電圧が出力されることになり、正常に液晶パネルを駆動することができないという問題があった。さらに、複数のスイッチSWが同時にオンすることにより、無駄な電力が消費され、ICに入力される階調電圧の電流供給能力を越えるような電流が流れると、階調電圧が変動し、クロストークと呼ばれる画質不良の原因になるという問題もあった。

【0013】本発明は上記事情に鑑みてなされたもので、複数の電圧が同時に選択される事態を防止し、正確な電圧の選択が可能であると共に、消費電力を低減することができるDACを提供することを目的とする。

(4)

特開平11-205149

【0014】

【課題を解決するための手段】本発明のDACは、電圧選択信号を入力されて、対応する電圧を選択して出力する変換器であって、電圧選択信号を与えられて保持し、ロード信号を入力されると保持した前記電圧選択信号を出力するデータレジスタと、一端にそれぞれ異なる電圧を印加され、他端が共通の出力端子に接続され、スイッチング制御信号を与えられてオン・オフを制御される複数のスイッチング素子と、前記データレジスタから出力された前記電圧選択信号を与えられ、デコード処理を行って前記スイッチング制御信号を出力し、前記スイッチング素子のいずれか一つをオンさせて、このスイッチング素子の一端に印加された電圧を前記出力端子から出力させるデコード回路とを備え、前記デコード回路は、前記ロード信号を入力されて所定期間が経過した後、前記スイッチング制御信号を出力することにより、前記スイッチング素子が同時に二つ以上オンする期間が存在しないようにしたことを特徴としている。

【0015】ここで、前記デコード回路は、前記スイッチング素子と同数の論理回路を備え、この論理回路は、前記電圧選択信号のうちの所定数の電圧選択信号と前記ロード信号とを入力され、対応する前記スイッチング素子に前記スイッチング制御信号を出力してオン・オフ制御を行うものであり、前記ロード信号を入力されてから所定期間が経過するまでの間は、いずれの前記論理回路からも前記スイッチング制御信号が出力されないものであってもよい。

【0016】また、第1の電圧を印加された第1の電源端子と、第2の電圧を印加された第2の電源端子との間に、直列に接続された複数の抵抗をさらに備え、前記スイッチング素子のそれぞれの前記一端は、前記第1の電圧と前記第2の電圧との電圧差が前記抵抗によりそれぞれ分割された異なる電圧を印加されるものであってもよい。

【0017】本発明のDACは、電圧選択信号を与えられて保持し、ロード信号を入力されると保持した前記電圧選択信号を出力するデータレジスタと、複数の電圧と前記電圧選択信号とを入力されて、いずれか一つの電圧を選択して出力するデコード及びスイッチング回路とを備え、前記デコード及びスイッチング回路は、前記電圧のいずれかを印加される一端と、共通の出力端子に接続された他端との間に複数のスイッチング素子が直列に接続されたスイッチ部を前記電圧の数と同数有し、前記スイッチ部は、それぞれ前記電圧選択信号のうちの所定数の電圧制御信号と前記ロード信号とを与えられてオン・オフを制御されるものであり、前記ロード信号を入力されて所定期間が経過した後、前記スイッチ部のいずれか一つに含まれる前記スイッチング素子が全てオンして前記一端に印加された電圧が前記出力端子より出力されることにより、少なくとも二つの前記スイッチング部に含

まれる前記スイッチング素子の全てが同時にオンする期間が存在しないようにしたことを特徴とする。

【0018】

【発明の実施の形態】以下、本発明の一実施の形態によるDACについて図面を参照して説明する。本実施の形態は、二つ以上の電圧が同時に選択されることを防止する信号を、選択すべきタイミングに同期してデコード回路に入力する点に特徴がある。

【0019】本発明の第1の実施の形態によるDACは、図1に示されるような構成を備えている。図7に示されたDACと比較し、データレジスタDR2に入力されるロード信号が、インバータIN11により反転された後、デコード回路DA1のそれぞれのAND回路1～64に入力される点が相違する。他の図7に示された要素と同一のものには、同一の番号を付して説明を省略する。

【0020】図3に、デコード回路DA1における反転回路RCとAND回路AND1～AND64のより具体的な回路の構成例を示す。電圧選択信号D1～D6と、反転回路RCにより生成された反転信号/D1～/D6のうち、AND回路AND1にはD1、D2、D3、D4、D5、D6信号が入力され、AND回路AND2には/D1、D2、D3、D4、D5、D6信号が入力され、AND回路AND3には、図示されていないがD1、/D2、D3、D4、D5、D6信号が入力され、AND回路AND4には/D1、/D2、D3、D4、D5、D6信号が入力され、…、AND回路AND64には/D1、/D2、/D3、/D4、/D5、/D6信号が入力される。そして、全AND回路AND1～AND64には反転ロード信号が入力される。このように、AND回路AND1～AND64には、電圧選択信号D1～D6と反転回路により反転された/D1～/D6のうちの6本の信号が入力され、さらに反転ロード信号を加えた合計7本の信号が入力される。このようなDACにおける動作を、図2のタイムチャートを用いて述べる。

【0021】ロード信号がデータレジスタDR2に入力されると、保持していた電圧選択信号D1～D6がデコード回路DA1に出力される。反転回路RCにより反転された信号/D1～/D6が生成され、電圧選択信号D1～D6と/D1～/D6のうちの6本がAND回路AND1～AND64に入力される。さらに、インバータIN11により生成された反転ロード信号が、それぞれのAND回路AND1～AND64に入力される。図8において、時点T1から時点T2までの間、ロード信号がハイレベルに変化すると、ロウレベルに変化した反転ロード信号が全てのAND回路AND1～AND64に入力されるので、全てのAND回路AND1～AND64からはロウレベルの非導通制御信号のみが出力される。よって、時点T1から時点T2までの間は、全ての

(5)

特開平11-205149

スイッチングSW1～SW64がオフ状態となる。これにより、データレジスタDR2及び反転回路RCの出力端子からAND回路AND1～AND64の入力端子までの配線長が長く、信号遅延が生じて時点T1においてまだスイッチ64がオン状態にあるような場合であっても、時点T1からT2までの間は強制的にオフされる。

【0022】そして、ロード信号が時点T2からロウレベルに変化すると、反転ロード信号がハイレベルに変化するので、AND回路AND1～AND64のうちのいずれか一つが選択されて、ハイレベルの導通制御信号が出力される。これにより、対応する一つのスイッチSWがオンし、選択された階調電圧 v が出力され、出力バッファOB1により増幅されて出力される。

【0023】このように、本実施の形態によれば、ロード信号を用いて同時に二つ以上のスイッチSWがオンして二つ以上の電圧が同時に選択されることがないように、全ての選択を禁止する期間T1～T2を設けている。これにより、配線の長さの相違からくるAND回路AND1～AND64への電圧選択信号D1～D6、 \neg D1～ \neg D6の入力に遅延が生じたとしても、正確に電圧の選択を行うことが可能である。また、同時に複数のスイッチSWがオンすることによる無駄な電力の消費も同時に防ぐことができる。

【0024】ここで、同時選択を禁止するための信号として、ロード信号を反転したものを用いているが、デコード回路DA1が電圧選択信号D1～D6を取り込むタイミングに同期した他の信号を用いても同様な効果が得られる。しかし、一般のDACには選択信号を読み込むタイミングを規定するロード信号は必ず備わっているため、この信号を用いることで新たな信号を生成する回路が不要で、ロード信号期間の長さを調整する場合でも回路変更は容易であり、回路構成を簡易なものとすることができる。

【0025】また、ロード信号は液晶駆動ICの例だと1クロック～数クロック分の間、クロック周波数40MHz、1周期とすれば25nsの間ハイレベルになる。これに対し、一つの電圧が選択される1サイクルは、約20 μ sの間である。よって、ロード信号がハイレベルにある期間、いずれの電圧も選択されないとしても、液晶パネル等の動作には何等支障は与えない。

【0026】次に、本発明の第2の実施の形態によるDACについて説明する。本実施の形態は、上記第1の実施の形態におけるデコード回路DA1のデコード動作と、デコードされて出力されたスイッチング制御信号によりスイッチングを行うスイッチ回路SWC1の動作とを1つの回路に組み合わせたものに相当し、この場合の構成を図4に示す。

【0027】Pチャネル形MOSトランジスタ及びNチャネル形MOSトランジスタのドレイン、ソースが接続されて構成されたアナログスイッチASW11～ASW

17が直列に接続されており、その一端に、シリーズ抵抗R0～R64により分割されて発生した階調電圧 v_1 ～ v_{64} のうちの電圧 v_1 が印加され、他端が出力バッファOB1の入力端子に接続されている。同様に、アナログスイッチ素子ASW21～ASW27が直列に接続され、一端に電圧 v_2 が印加され、他端が出力バッファOB1の入力端子に共通接続されており、…、アナログスイッチ素子ASW641～ASW647が直列に接続され、一端に電圧 v_{64} が印加され、他端が出力バッファOB1の入力端子に共通接続されている。

【0028】アナログスイッチASW11～ASW17のそれぞれのPチャネル形MOSトランジスタのゲートとNチャネル形MOSトランジスタのゲートには、D1及び \neg D1、D2及び \neg D2、D3及び \neg D3、D4及び \neg D4、D5及び \neg D5、D6及び \neg D6、LOAD及び \neg LOAD信号が入力される。アナログスイッチASW22～ASW27のそれぞれのPチャネル形MOSトランジスタのゲートとNチャネル形MOSトランジスタのゲートには、上記アナログスイッチASW12～ASW17と同様であり、アナログスイッチASW21のみが信号D1と信号 \neg D1とが入れ替わる。アナログスイッチASW31、ASW33～ASW37のそれぞれのPチャネル形MOSトランジスタのゲートとNチャネル形MOSトランジスタのゲートには、図示されていないが、上記アナログスイッチASW11、ASW13～ASW17と同様であり、アナログスイッチASW32において信号D2と信号 \neg D2とが入れ替わる。そして、アナログスイッチASW641～ASW647のPチャネル形MOSトランジスタとNチャネル形MOSトランジスタのそれぞれのゲートには、 \neg D1及びD1、 \neg D2及びD2、 \neg D3及びD3、 \neg D4及びD4、 \neg D5及びD5、 \neg D6及びD6、LOAD及び \neg LOAD信号が入力される。

【0029】このように、いずれの列においてもゲートにロード信号LOAD及び反転ロード信号 \neg LOADを入力されるアナログスイッチSW $_j$ 7が直列に接続されている。従って、本実施の形態においても上記第1の実施の形態と同様に、ロード信号がハイレベルになる間、全てのアナログスイッチSW17～SW647がオフするので、いずれの電圧 v_1 ～ v_{64} も選択されず、二つ以上の電圧が同時に選択される事態が回避される。そして、ロード信号LOADがロウレベルに変化すると、電圧選択信号D1～D6と反転信号 \neg D1～ \neg D6とにより、いずれか一列のアナログスイッチSW $_j$ 1～SW $_j$ 7（ j は1～64の整数）が全てオン状態となり、このアナログスイッチSW $_j$ 1の一端に印加された電圧 v が選択されて、アナログ信号として出力バッファOB1に与えられ、増幅された後出力される。

【0030】従って、本実施の形態によれば上記第1の実施の形態と同様に、ロード信号がハイレベルにある間

(6)

特開平11-205149

いずれの電圧も選択されないで、同時に二つ以上の電圧が選択されることがなく、正確な電圧の選択が可能であり、また同時に複数のスイッチSWがオンすることによる無駄な電力の消費も防ぐことができる。

【0031】上述した実施の形態は一例であって、本発明を限定するものではない。例えば、図1、図3及び図4に示された回路の構成は一例であり、様々な変形が可能である。また、上記実施の形態ではいずれも液晶駆動用の電圧を選択する部分にDACを用いた場合を例にとり述べているが、他の用途にも本発明のDACを用いることができる。例えば、画像のみならず音の再生装置におけるデジタル信号を選択信号として与えられてアナログ信号としての階調電圧を選択する部分にも、本発明を適用することができる。

【0032】

【発明の効果】以上説明したように、本発明のDACによれば、データレジスタから電圧選択信号を読み出すタイミングに同期していずれの電圧も選択しない期間を所定期間設けたため、二つ以上の電圧が同時に選択されることがなく、正確な電圧の選択が可能であると共に、無駄な電力の消費を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるDACの構成を示した回路図。

【図2】同DACにおけるロード信号とスイッチSW1及びSW64のオンしている期間との関係を示したタイムチャート。

ムチャート。

【図3】同DACにおけるデコード回路の詳細な構成を示した回路図。

【図4】本発明の第2の実施の形態によるDACの構成を示した回路図。

【図5】本発明を適用することが可能な液晶ディスプレイパネルの概略構成を示したブロック図。

【図6】同液晶ディスプレイパネルにおけるソースドライバの構成を示したブロック図。

【図7】同ソースドライバにおける従来のDACの構成を示した回路図。

【図8】同DACにおけるロード信号とスイッチSW1及びSW64のオンしている期間との関係を示したタイムチャート。

【符号の説明】

DR2 データレジスタ

D1~D6、/D1~/D6 電圧選択信号

IN1~IN6、IN11 インバータ

RC 反転回路

AND1~AND64 AND回路

R0~R64 シリーズ抵抗

SR 64分割抵抗器

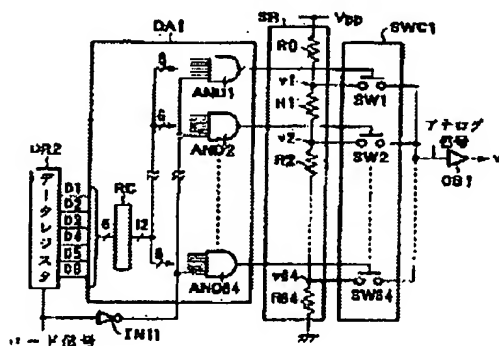
SWC1 スイッチング回路

SW1~SW64 スイッチ

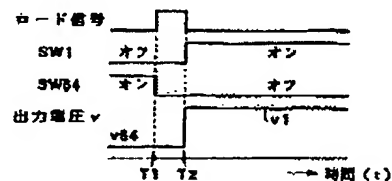
OB1 出力バッファ

ASW11~ASW647 アナログスイッチ

【図1】



【図2】



【図8】

